

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-014260

(43)Date of publication of application : 20.01.1992

(51)Int.CI.

H01L 29/784

(21)Application number : 02-118285

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 07.05.1990

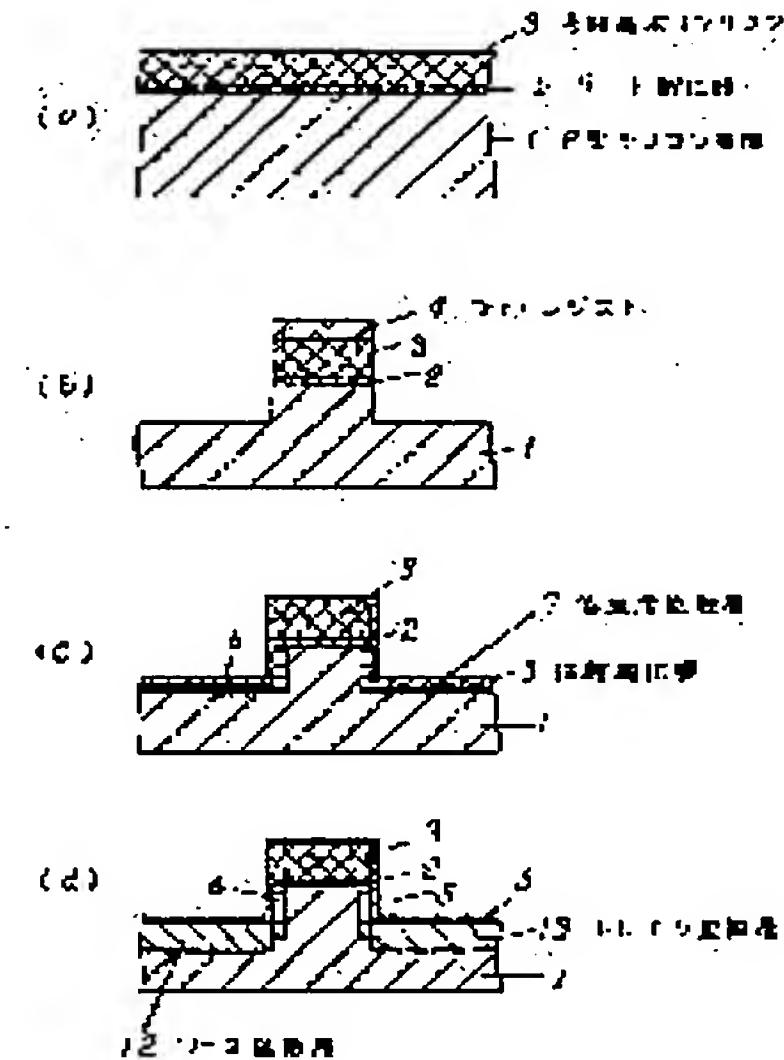
(72)Inventor : NAKABAYASHI TAKASHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To easily control the permeation amount of a low concentration diffusion layer into the lower part of a gate, by a method wherein, in order to implant ions in the side surface of a protruding part formed by etching a silicon substrate, a low concentration layer is directly formed under the gate without interposing the silicon substrate.

CONSTITUTION: Polycrystalline silicon 3, a gate oxide film 2, and a silicon substrate 1 are etched by using photo resist 4 as a mask. A protecting oxide film 5 of 30nm in thickness is formed on the surface of a semiconductor device by dry oxidation or wet oxidation. Phosphorus ions are implanted in the side surface and the etching surface of the protruding part of the silicon substrate 1 under the following conditions, thereby forming low concentration diffusion layers 6, 7; implantation energy is 30keV, dosage is $2 \times 10^{13} \text{cm}^{-2}$, and incident angle to the silicon substrate surface is 70°. In order to make both side surfaces of the protruding part of the silicon substrate uniform, twice rotation implantation is performed. Arsenic ions are implanted vertically to the silicon substrate 1 under the conditions of 40keV implantation energy and $6 \times 10^{15} \text{cm}^{-2}$ dosage, thereby forming a source diffusion layer 12 and a drain diffusion layer 13 and completing a device.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

⑫ 公開特許公報 (A)

平4-14260

⑬ Int. Cl. 5

H 01 L 29/784

識別記号

厅内整理番号

⑭ 公開 平成4年(1992)1月20日

8422-4M H 01 L 29/78

301 X

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-118285

⑰ 出 願 平2(1990)5月7日

⑱ 発 明 者 中 林 隆 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 ⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
 ⑳ 代 理 人 弁理士 栗野 重孝 外1名

明 細 告

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 半導体基板にゲート酸化膜を介してゲート電極金属を堆積する工程と、フォトレジストをマスクとして、前記ゲート電極、前記酸化膜及び前記半導体基板をエッチングする工程と、前記エッチング工程により形成される前記半導体基板の凸部の側壁に傾角イオン注入を行なうことにより、前記半導体基板の凸部の側壁に低濃度拡散層を形成する工程と、前記半導体基板表面に垂直にイオン注入を行うことにより、前記半導体基板の表面にソース・ドレイン拡散層を形成する工程とを備え、MOS型トランジスタを形成することを特徴とする半導体装置の製造方法。

(2) 半導体基板にゲート酸化膜を介してゲート電極金属を堆積する工程と、フォトレジストをマスクとして、前記ゲート電極、前記酸化膜及び前記半導体基板をエッチングする工程と、前記エ

ッチング工程により形成される前記半導体基板の凸部の側壁に傾角イオン注入を行なうことにより、前記半導体基板の凸部の側壁に低濃度拡散層を形成する工程と、前記半導体基板表面に垂直にイオン注入を行うことにより、前記半導体基板の表面に中濃度拡散層を形成する工程と、前記を前記半導体基板の凸部の側壁に被膜を形成する工程と、前記半導体基板表面に垂直にイオン注入を行うことにより、前記半導体基板の表面にソース・ドレイン拡散層を形成する工程と備え、MOS型トランジスタを形成することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は半導体装置の製造方法に関するものである。

従来の技術

従来の半導体装置の製造方法としては、例えば特開昭52-110724号公報に示されている。第4図はこの従来の半導体装置の製造方法を用い

た NチャネルMOS型トランジスタの構造断面図を示すものである。P型シリコン基板1にゲート酸化膜2を介して多結晶ポリシリコン3を堆積し、フォトレジストをマスクとして前記多結晶ポリシリコン3及びゲート酸化膜2をエッチする。次に、リンイオン又はヒ素イオンを基板1表面に注入し低濃度拡散層6、7を形成する。その後半導体装置の表面に酸化膜を堆積し、エッチバック法を用いて酸化膜をエッチし、サイドウォール10、11を形成する。次に、基板表面にヒ素イオンを注入し、ソース、ドレイン拡散層12、13を形成して完成する。この従来の半導体装置においては、低濃度拡散層によりMOS型トランジスタのソース、ドレイン近傍での電界が緩和されるために、正孔又は電子のゲート酸化膜への注入が抑制され、ホットキャリアによるトランジスタ特性の劣化が減少する。

他の従来の半導体装置の製造方法としては、例えば特開昭61-242468号公報に示されている。第5図はこの従来の半導体装置の製造方法

キャリア信頼性を高くするためには、注入角度をさらに大きくし、注入エネルギーも高くすることが必要であるが、前者は高集積のLSIにおいては困難であり、後者はゲート酸化膜に与える損傷が大きくなるという問題を有していた。

本発明はかかる点に鑑み、従来のプロセス技術を用い、容易に低濃度拡散層のゲート下への入り込み量を制御できる半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

本発明は、半導体基板にゲート酸化膜を介してゲート電極金属を堆積し、フォトレジストをマスクとして、前記ゲート電極、前記酸化膜及び前記導体基板をエッティングし、前記エッティング工程により形成される前記半導体基板の凸部の側壁に傾角イオン注入を行なうことにより、前記半導体基板の凸部の側壁に低濃度拡散層を形成することにより構成される。

作用

本発明は前記した構成により、シリコン基板を

用いたNチャネルMOS型トランジスタの構造断面図を示すものである。P型シリコン基板1にゲート酸化膜2を介して多結晶ポリシリコン3を堆積し、フォトレジストをマスクとして前記多結晶ポリシリコン3及びゲート酸化膜2をエッチする。次に、リンイオン又はヒ素イオンを大傾角イオン注入を用いてゲート下に注入し、低濃度拡散層6、7を形成する。その後半導体基板の表面にヒ素イオンを注入し、ソース、ドレイン拡散層10、11を形成して完成する。以上のように構成された従来の半導体装置においては、低濃度拡散層6、7がゲートとオーバーラップすることにより、第1の従来例よりさらにソース、ドレイン近傍での電界が緩和され、ホットキャリアの信頼性が向上する。又、ゲートの下に低濃度拡散層6、7を形成するために、実質のゲート長が短くなるためにトランジスタの駆動力が増す。

発明が解決しようとする課題

しかしながら前記のような構成では、低濃度拡散層のゲート下への入り込みを大きくし、ホット

エッチし形成される凸部の側面にイオン注入を行うために、シリコン基板を介さずして、直接ゲート下に低濃度拡散層を形成することができる。

実施例

(実施例1)

第1図は本発明の第1の実施例におけるNチャネルのMOS型トランジスタの製造方法を示す工程断面図である。第1図(a)では、P型のシリコン基板1の表面に、ドライ酸化又はウェット酸化を用いて10nmのゲート酸化膜2を形成する。次に周知の気相成長法を用いて300nmの多結晶シリコン膜3を堆積させる。

第1図(b)では、フォトレジスト4をマスクとして多結晶シリコン3、ゲート酸化膜2及びシリコン基板1をエッチする。

第1図(c)では、半導体装置表面にドライ酸化又はウェット酸化を用いて30nmの保護酸化膜5を形成する。次に、シリコン基板1の凸部の側面及びエッティング面に、注入エネルギー30KeV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ の条件で、シリコン基板表面に

対して 70° の角度で磷イオンを注入し、低濃度拡散層6,7を形成する。注入はシリコン基板の凸部の両側面が均一になるように2回転注入を行う。

第1図(d)では、シリコン基板1の表面に注入エネルギー40KeV、ドーズ量 $6 \times 10^{16} \text{ cm}^{-2}$ の条件で、シリコン基板1に対して垂直にヒ素イオンを注入し、ソース・ドレイン拡散層11,12を形成して完了する。

第2図は本発明と従来技術(LATID)によるゲート直下に入り込む注入イオンの様子を示す模式図である。同図(a)は本発明による磷イオンのシリコン基板1に入り込む様子を矢印で示す。同図(b)は従来技術(LATID)による磷イオンのシリコン基板1に入り込む様子を矢印で示す。同図(a),(b)により、低濃度拡散層領域Aに入り込む磷イオンの量は本発明の方がLATIDに比べシリコン基板1を介さずに行なうことができるため、はるかに多い。

以上のように構成された本実施例のNチャネルMOS型トランジスタでは、低濃度拡散層6,7をシリコン基板の凸部の側面に形成するために

し、ソース・ドレイン拡散層12,13を形成して完了する。

以上のように構成された本実施例のNチャネルMOS型トランジスタでは、低濃度拡散層6,7をシリコン基板の凸部の側面に形成するために、ゲートオーバーラップ構造を比較的低い注入エネルギーで形成でき、大傾角イオン注入を行う必要がない。さらに、ゲート下への低濃度拡散層の入り込みの量を、注入エネルギーによって簡単に制御できる。又、中濃度拡散層8,9を低濃度拡散層6,7とソース・ドレイン拡散層12,13の間に形成するために、ゲート下のソース・ドレイン近傍での電界集中を緩和することができ、ホットキャリア信頼性が向上する。

発明の効果

以上説明したように、本発明によれば、従来のプロセス技術を用いることによって、ゲートオーバーラップ構造を簡単に形成でき、低濃度拡散層のゲート下への入り込みの量も、注入エネルギーによって簡単に制御できる。そのため、トランジ

ゲートオーバーラップ構造を比較的低い注入エネルギーで形成でき、LATIDに比べ大傾角イオン注入を行う必要がない。さらに、ゲート下への低濃度拡散層の入り込みの量を、注入エネルギーによって簡単に制御できる。

(実施例2)

第3図は本発明の第2の実施例におけるNチャネルMOS型トランジスタの製造方法を示す工程断面図である。第1図(a)～(c)工程の後、第3図(a)では、シリコン基板1の表面に、注入エネルギー30KeV、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ の条件で、シリコン基板1に対して垂直にヒ素イオンを注入し、中濃度拡散層8,9を形成する。

第3図(b)では、半導体装置の表面を周知の気相成長法を用いて100nmの厚さに堆積させた酸化膜を、エッチバック法を用いて保護酸化膜5に至るまでエッティングし、サイドウォール10,11を形成する。次に、シリコン基板1の表面に、注入エネルギー40KeV、ドーズ量 $6 \times 10^{16} \text{ cm}^{-2}$ の条件で、シリコン基板1に対して垂直にヒ素イオンを注入

し、ソース・ドレイン拡散層12,13を形成して完了する。

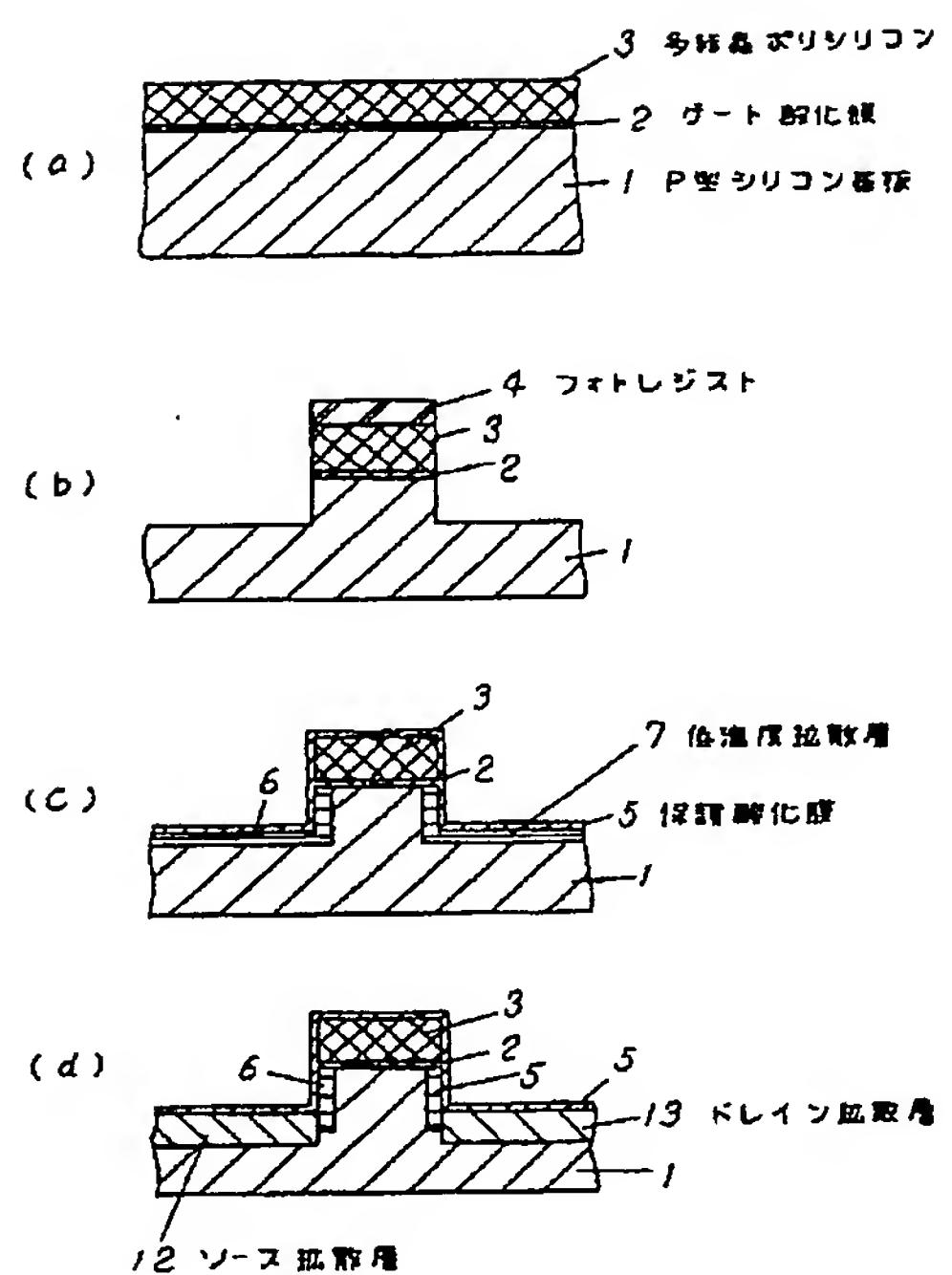
4. 図面の簡単な説明

第1図は本発明の第1の実施例におけるNチャネルMOS型トランジスタの製造工程図。第2図は本発明と従来技術(LATID)によるゲート直下に入り込む注入イオンの様子を示す模式図。第3図は本発明の第2の実施例におけるNチャネルMOS型トランジスタの製造工程図。第4図は従来例の1つであるLDD構造のNチャネルMOS型トランジスタの構造断面図。第5図は従来例の1つであるゲートオーバーラップ構造(LATID)のNチャネルMOS型トランジスタの構造断面図である。

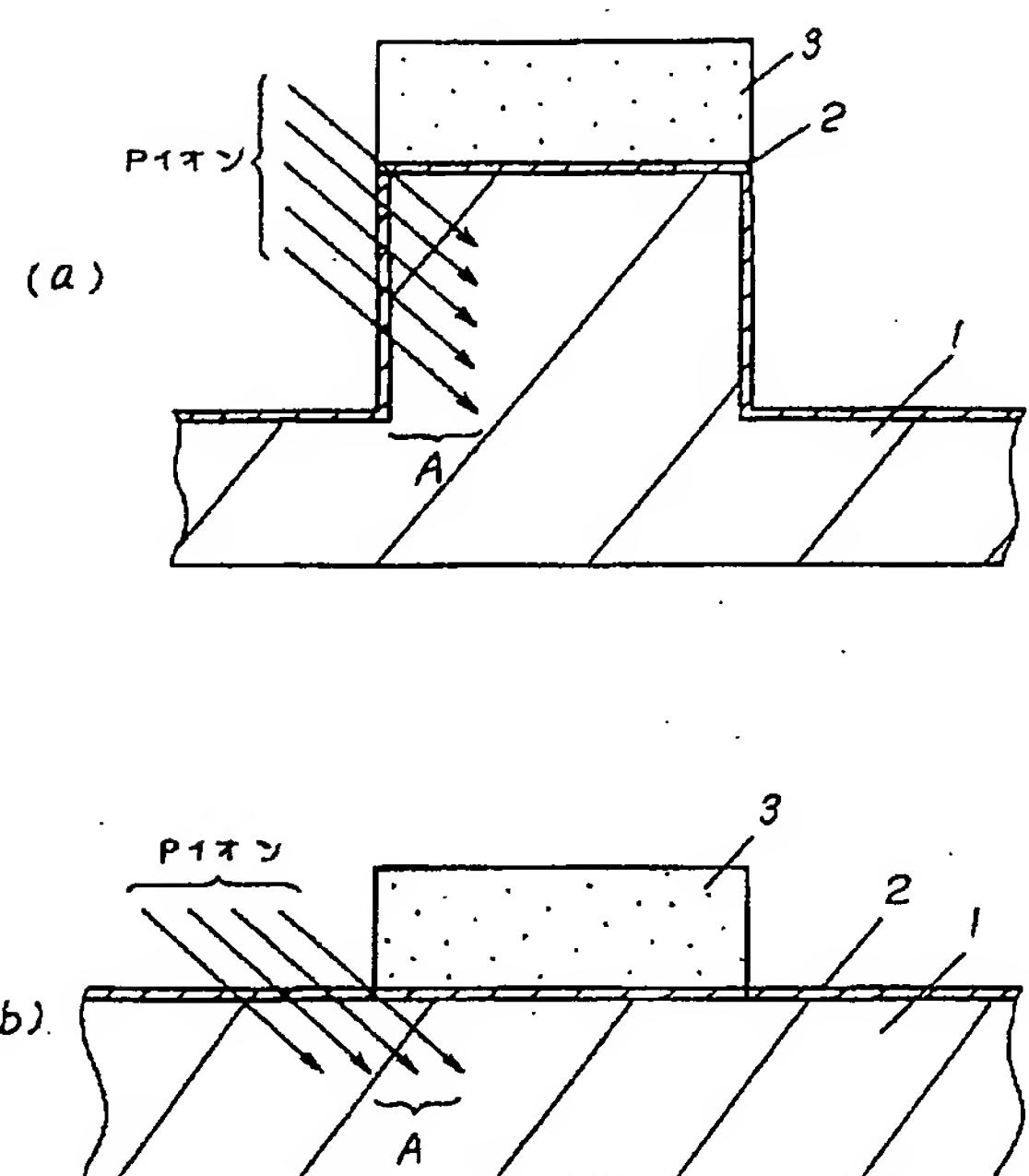
1…P型シリコン基板 2…ゲート酸化膜 3…多結晶ポリシリコン 4…フォトレジスト 5…保護酸化膜 6,7…低濃度拡散層 8,9…中濃度拡散層 10,11…サイドウォール 11,12…ソース・ドレイン拡散層

代理人の氏名 弁理士 粟野重孝 ほか1名

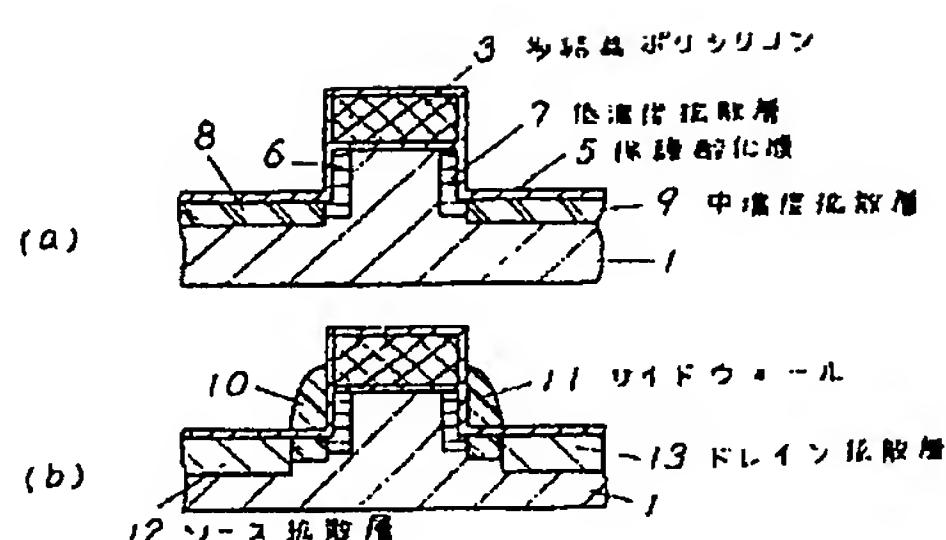
第 1 図



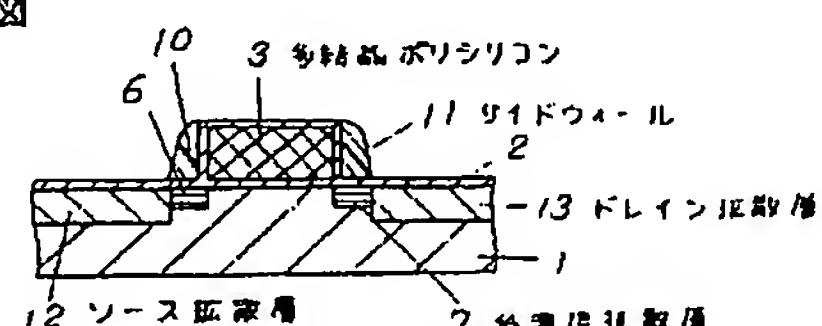
第 2 図



第 3 図



第 4 図



第 5 図

